

WEST**End of Result Set**

Generate Collection

L1: Entry 1 of 1

File: JPAB

May 13, 1992

PUB-NO: JP404139728A

DOCUMENT-IDENTIFIER: JP 04139728 A

TITLE: MANUFACTURE OF POLYCRYSTALLINE FIELD-EFFECT TRANSISTOR

PUBN-DATE: May 13, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

MIZUTANI, HIDEMASA

SHINDO, HISASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

CANON INC

APPL-NO: JP02260516

APPL-DATE: October 1, 1990

US-CL-CURRENT: 438/FOR.184

INT-CL (IPC): H01L 21/336; H01L 21/20; H01L 29/784

ABSTRACT:

PURPOSE: To form a polycrystalline silicon TFT large in grain size by crystallizing the area immediately below a gate electrode to a polycrystalline form large in grain size by lateral growth after large crystals are grown in a source and drain forming areas.

CONSTITUTION: After an a-Si film 2 and gate insulating film 3 are successively deposited on an SiO₂ substrate 1, a gate electrode 5 is formed on the film 5. Then a source and drain forming areas 6 and 8 are doped with high-concentration phosphor. Then the substrate 1 is heated with the light of a mercury lamp from the electrode 5 side. When annealing treatment is performed by adjusting the lamp power so that the areas 6 and 8 covered with the insulating film 3 only can reach 580°C, creation of seed crystals takes place in the areas 6 and 8 and the cores further grow in the lateral direction. Grown crystals 10 butt against each other and form grain boundaries 9. In the channel forming area 7 immediately below the electrode 5, part of the light from the mercury lamp is absorbed and annealing takes place. In the area 7, crystals grow in the lateral direction in a solid phase and crystals larger than those in the source and drain areas are grown by the annealing treatment performed thereafter, since the creation of seeds is suppressed.

COPYRIGHT: (C) 1992, JPO&Japio

⑫ 公開特許公報(A) 平4-139728

⑬ Int. Cl.⁵H 01 L 21/336
21/20
29/784

識別記号

庁内整理番号

9171-4M

⑭ 公開 平成4年(1992)5月13日

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 多結晶電界効果トランジスタの製造方法

⑯ 特 願 平2-260516

⑰ 出 願 平2(1990)10月1日

⑱ 発 明 者 水 谷 英 正 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲ 発 明 者 進 藤 寿 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉑ 代 理 人 弁理士 山下 穰平

明 細 書

1. 発明の名称

多結晶電界効果トランジスタの製造方法

2. 特許請求の範囲

非晶質基体上に非晶質半導体層を堆積する工程と、前記非晶質半導体層に対してゲート電極を形成する工程と、前記非晶質半導体層のソース・ドレイン形成領域に特定の型の半導体不純物をドーピングする工程と、次いで前記非晶質半導体層に対し前記ゲート電極側より光照射することで前記ソース・ドレイン形成領域を前記ゲート電極直下の領域よりも高温でアニールし、前記ソース・ドレイン形成領域に大粒径多結晶が成長したのち、横成長によって前記ゲート電極直下の領域も大粒径多結晶化せしめることを特徴とする多結晶電界効果トランジスタの製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は多結晶電界効果トランジスタの製造方法に関し、特に多結晶の結晶性及び結晶粒径を改

善した多結晶電界効果トランジスタの製造方法に関する。

【従来技術】

従来より、密着センサーや、液晶ディスプレイ用の薄膜トランジスタ(TFT)としては、非晶質シリコン(a-Si)が用いられてきたが、最近LPCVD法等によりガラス基板上に多結晶シリコン膜を堆積し、TFTを形成する技術が開発されている。しかし、一般に用いられる多結晶シリコンは、LPCVD法においてシラン(SiH₄)を650℃程度で熱分解して堆積するものであるが、この方法だと粒径が500Åと小さく、そのためモビリティ等の特性が単結晶Siには遠く及ばない。多結晶シリコンTFTの特性が単結晶のそれに比べて劣るのは、主に各結晶粒同士がぶつかって生じる結晶粒界が電荷をトラップして障壁をつくるのが原因と言われている。それ故、結晶粒径を大きくして、結晶粒界を減らすことがTFTの高性能化につながる。

このような観点に立った手法の一つとして、

LPCVD法で600℃以下でa-Siを堆積した後、600℃以上でアニールして多結晶化する方法があるが、この方法では、粒径が0.1～0.3μm程度でまだ不十分である。また最近、多結晶シリコン膜にシリコンを 1×10^{18} atom/cm³の高ドーゾイオン注入して非晶質化することで、結晶核の発生密度の小さい非晶質膜を形成し、次に、600℃程度の長時間アニールで、結晶核の発生密度を抑えつつ固相成長させ粒径1～5μmの大粒径多結晶シリコン膜を得る方法が検討されている。

【発明が解決しようとする課題】

しかしこのような方法においては、大粒径化という意味では適当であるが、逆に潜在的な結晶核を完全になくすためにシリコンの 1×10^{18} atom/cm³といった高ドーゾのイオン注入が必要となり、大面積化や低コスト化にはそぐわない点がある。一般に熱アニール工程に比べてイオン注入工程は非常にコストが高い。

本発明はTFT製造プロセスの一環に簡易に組

み込み、低コストプロセスで大粒径多結晶シリコンTFTを形成することが可能な多結晶電界効果トランジスタの製造方法を提供せんとするものである。

【課題を解決するための手段】

本発明の多結晶電界効果トランジスタの製造方法は、非晶質基体上に非晶質半導体層を堆積する工程と、前記非晶質半導体層に対してゲート電極を形成する工程と、前記非晶質半導体層のソース・ドレイン形成領域に特定の型の半導体不純物をドーピングする工程と、次いで前記非晶質半導体層に対し前記ゲート電極側より照射することによって前記ソース・ドレイン形成領域を前記ゲート電極直下の領域よりも高温でアニールし、前記ソース・ドレイン形成領域に大粒径多結晶が成長したのち、横成長によって前記ゲート電極直下の領域も大粒径多結晶化せしめることを特徴とする。

【作用】

非晶質基体上にas-depo状態（半導体層を堆積し、半導体不純物をドーピングした後の状態）の

非晶質半導体の膜をアニールすると、膜中若しくは界面付近から核発生がはじまり更に横成長し、成長した結晶粒同士がぶつかって結晶粒界が形成される。このとき、この多結晶半導体の結晶粒径はその温度での結晶核の発生密度と固相の横成長速度との兼ね合いで決まる。

本発明はas-depo状態の非晶質半導体の膜を用い、まず、ソース・ドレイン形成領域で大粒径多結晶を成長させたのち、横成長によりゲート電極直下の領域も大粒径多結晶化させるものであり、従来技術のように、シリコン・イオン注入で結晶核の発生密度を制御することなく、大粒径多結晶電界効果トランジスタを形成しようとするものである。

【実施例】

以下、図面を用いて本発明の実施例を説明する。

第1図は本発明の一実施例の多結晶電界効果トランジスタの製造方法を説明するための縦断面図である。

第2図は上記製造方法により作製される多結晶電界効果トランジスタの多結晶半導体層を説明するための斜視図である。

第1図において、非晶質基体たるSiO₂基板1上に減圧CVDを用いて、SiH₄→Si+2H₂の反応によりSiH₄流量50SCCM、温度560℃、圧力0.3Torrで1000Åのa-Si膜2を堆積した。次に同じく減圧CVDを用いてSiH₄+O₂→SiO₂の反応でゲート絶縁膜3を500Å堆積した。更にゲート電極としてタングステンシリサイド(WSi₂)を基板加熱200℃のスパッタで3000Å堆積した後、RIEでパターンニングしてゲート長3μmのゲート電極5を形成した。

そしてこのゲート電極5をマスクとしてn型不純物であるリン(P)を30KeVの加速電圧、ドーゾ量 1×10^{18} atom/cm³でイオン注入する。この時ソース形成領域6、ドレイン形成領域8には約 5×10^{18} atom/cm³の高濃度リンがドーピングされたことになる。

この状態でゲート電極5側より水銀ランプ光で

基板を照射し、ランプ加熱した。水銀ランプの波長は可視光領域にあり従ってシリコンの進入深さは $1\mu\text{m}$ 以下である。ランプパワーを、ゲート絶縁膜3のみで覆われているソース・ドレイン形成領域6、8が 580°C になるように調整した状態で1時間アニール処理すると高濃度不純物層のソース・ドレイン形成領域6、8では核発生がはじまり更に横成長し、成長した結晶粒同士がぶつかりて結晶粒界が形成された。このときこの多結晶シリコンの結晶粒径は約 $1\mu\text{m}$ であった。形成されたソース・ドレイン領域で結晶粒径が通常のイントリンシックな非晶質シリコン層を同条件でアニールしたときの結晶粒径 $\sim 0.1\mu\text{m}$ よりも大きいのは、 10^{18}cm^{-3} 以上の高濃度の不純物注入によって核の発生密度はそう変化しないのに対して、横成長速度が増進されるためだと考えられる。一方ゲート電極5直下のチャネル形成領域7は、ランプ光がゲート電極で一部吸収され推定温度 530°C でアニールされる。第3図に示すように核発生の活性化エネルギーは横成長のそれに比

べて大きいので低温側では横成長にたいして核発生の頻度が急激に落ちる(J. Appl. Phys. 65(10), 4036, 1989.)。したがってソース・ドレイン形成領域に比べて低温になっている、そしてソース・ドレイン領域よりはるかに低濃度不純物層であるチャネル形成領域7では核発生が抑えられ、その結果その後の5時間のアニールでソース・ドレイン領域の大粒径結晶粒より横方向への固相成長によって大粒径化した。第2図中、9は結晶粒界、10は結晶粒である。なお第2図では、ゲート絶縁膜及びゲート電極は省略して図示してある。

この後、層間絶縁膜、配線、保護膜を堆積してTFTを形成したところ、高い移動度で良好な特性が得られた。

本実施例において、非晶質から結晶化した大粒径多結晶の各結晶粒の面方位は $\langle 111 \rangle$ 方向に配向していた。この為、TFT特性のパラッキも少なく抑えることができた。即ち、一般に電界効果トランジスタをつくった場合、そのキャリアモビリティは結晶方位によって2～3倍変化する。

もちろん面内方位も影響するが、法線方向の面方位が揃っている方がモビリティのパラッキは抑えられ、かつ閾値電圧は安定する。何故 $\alpha\text{-Si}$ を用いてアニールしたものが $\langle 111 \rangle$ 配向するのかまでははっきりとわかっていないが、その結晶方位がエネルギー的に安定しているためだと考えられる。

【発明の効果】

以上説明したように、本発明によれば通常の $\alpha\text{-Si}$ 、Poly-Si電界効果トランジスタの製法に対してなんら特別の工程を必要とせず、大粒径多結晶を用いた高性能電界効果トランジスタが、低コストで再現性良く形成でき、大面積デバイスを容易に作製することが可能となる。

また、本発明により作製された大粒径多結晶は、各結晶粒が一定方向に配向しており、電界特性の安定した電界効果トランジスタを提供でき、生産時に非常に歩留まりを上げることができる効果も有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の多結晶電界効果トランジスタの製造方法を説明するための縦断面図である。

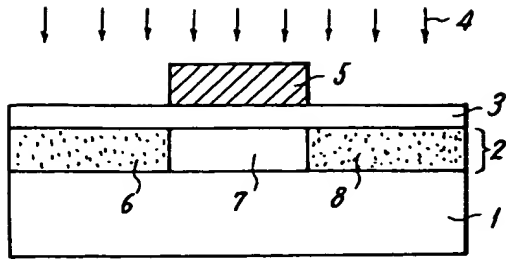
第2図は上記製造方法により作製される多結晶電界効果トランジスタの多結晶半導体層を説明するための斜視図である。

第3図は核発生の活性化エネルギー、横成長の活性化エネルギーと温度との関係を示す特性図である。

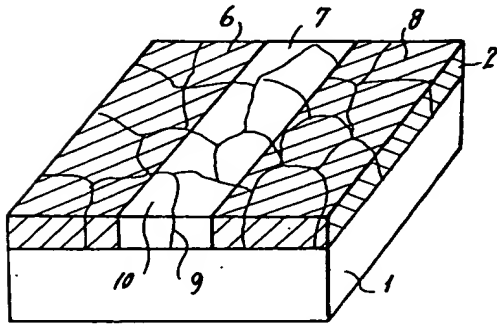
1はSiO₂基板、2は $\alpha\text{-Si}$ 膜、3はゲート絶縁膜、5はゲート電極、6はソース形成領域、7はチャネル形成領域、8はドレイン形成領域、9は結晶粒界、10は結晶粒である。

代理人 弁理士 山下 復 平

第 1 図



第 2 図



第 3 図

